

e-Learning コンテンツ

「集積回路 (IC) 設計入門コース」の開発

渡辺誠一、堀内征治*

長野工業高等専門学校 電気電子工学科
*長野工業高等専門学校 電子情報工学科

概要 平成 17 年度現代的教育ニーズ取組支援プログラム「創造性豊かな実践的技術者育成コースの開発」の一環で、ハードウェア記述言語 (VHDL) を用いた CPLD や FPGA の開発手法をインターネット上で学習するための e-Learning コンテンツ「集積回路 (IC) 設計入門コース」を開発した。このコンテンツによって、ハードウェア記述言語の基礎学習から、応用的な回路の学習、さらには学習者が創造工学実験に取り組む際の実施方法について学ぶことが可能となった。

1. まえがき

高専 IT 教育コンソーシアムに加盟する 12 国立高専 (高知、苫小牧、茨城、長岡、石川、長野、豊田、詫間電波、新居浜、弓削商船、有明、北九州) が共同で、平成 17 年度現代的教育ニーズ支援取組プログラム (現代 GP) に取組課題を「創造性豊かな実践的技術者育成コースの開発」として申請した結果、採択された。この取組は平成 17 年度から 19 年度の 3 年間で、全国の高専において正規の教育課程の単位として認定される全国規模の創造性育成 e-Learning コースの開発を行うものであり、現在共同申請校でコースの開発が進められている[1][2]。

筆者らは、この取組の一環で 1 つコースを開発することとなった。長野高専では電気電子工学科の 5 年生でハードウェア記述言語 VHDL に関する学生実験を平成 16 年度から実施している。実験の内容は、VHDL の基礎学習が主であったが、実施時間を 15 週とすれば、動作確認に用いる CPLD や FPGA などの集積回路に周辺回路を取り付けて、各自がアイデアを凝らしてプログラムを作成することで、創造性を育むことが可能ではないかと考えた。そこで、平成 18 年度に VHDL を用いた CPLD や FPGA などの集積回路の開発手法について、インターネット上

で学習するための e-Learning コンテンツ「集積回路 (IC) 設計入門コース」を開発した。

本論文で述べる事柄は以下の通りである。

- (1) コンテンツの仕様と製作
- (2) 集積回路 (IC) 設計入門コースの内容
- (3) コンテンツの今後の展開

2. コンテンツの仕様と製作

本コースのコンテンツは、以下の仕様を満足するように開発を進めた。

- (1) 本校電気電子工学科 5 年の後期で実施する学生実験「ハードウェア記述言語」の補助教材となること
- (2) 本校電子情報工学科 4 年の後期で実施する講義科目「集積回路設計」の補助教材となること
- (3) パソコンで VHDL の動作を確認するだけでなく、CPLD や FPGA にプログラムを書き込み、動作を確認できる教材にすること
- (4) 単に VHDL を学ぶだけでなく、創造性を持たせた実験を実施する際に必要になる教材が含まれていること
- (5) 高専の学生だけでなく、中学生や理工系大学生、社会人でも利用可能な教材として、記述はやさしいものにする

コンテンツの内容は、電気電子工学科5年生が平成18年4月から1年間卒業研究の課題として製作して、それらの内容を筆者らが再構成した。原稿はMicrosoft社製Wordで作成した。原稿は長野県内の民間企業でhtml化を行い、平成19年3月に初版が完成した。その後、コンテンツの追加・修正を行うと同時に、ハイビジョンサイズのビデオクリップを追加した第2版を平成19年7月に公開した。

3. 集積回路 (IC) 設計入門コースの内容

本コースは以下の章構成となっている。

- ・ 第1章 集積回路 (IC) 設計の世界へようこそ
- ・ 第2章 ハードウェア記述言語を使ってみよう
- ・ 第3章 基本論理回路を作ってみよう
- ・ 第4章 外部入出力回路を活用しよう
- ・ 第5章 実用的な回路を作ってみよう
- ・ 第6章 オリジナルIC作りに挑戦

図1にトップページの画面を示した。設計者をイメージしたキャラクターと、コースの概要を閲覧できるようにした。以下に、各章の内容について述べる。

3.1 集積回路 (IC) 設計の世界へようこそ

第1章では、身近な製品に集積回路が使われていること、集積回路の設計手順、CPLD と FPGA、ハードウェア記述言語の概要を解説している。第1章は以下の項目で構成されている。

- ・ オリジナルICを作ってみよう
- ・ オリジナルICの設計の流れ
- ・ CPLDとFPGA
- ・ 演習問題

図2に第1章の解説画面を示した。ICの写真とフローチャートなどを使ってページを構成した。また、各項目のメニューは下部に配置した。

3.2 ハードウェア記述言語を使ってみよう

第2章では、ハードウェア記述言語として利用されているVHDLとVerilog HDLとの違い、実習で使用するソフトウェアの使用法、VHDLの文法、論理回路の動作確認で使用するCPLDを搭載した実習ボードの構成、基本論理回路の例としてバッファ回路について解説している。第2章は以下の項目で構成されている。



図1 トップページの画面

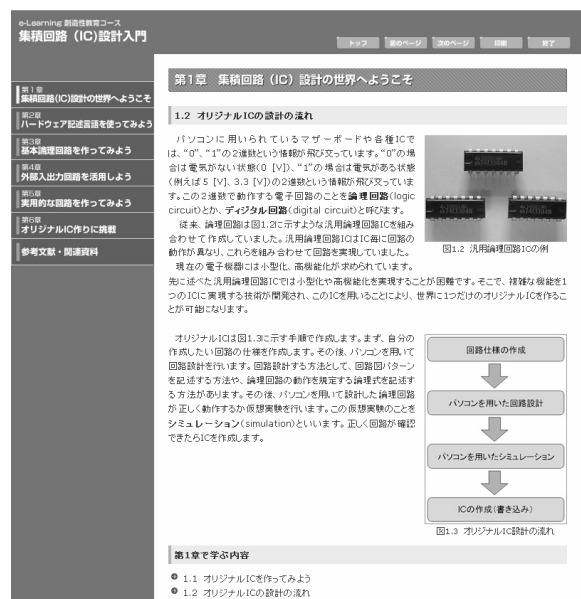


図2 第1章の解説画面 (オリジナルICの設計の流れ)



図3 第2章の解説画面 (ハードウェア記述言語の基礎学習)

- ・ハードウェア記述言語による IC の設計手法
- ・開発（論理合成）ツールの使用法
- ・ハードウェア記述言語の基礎学習
- ・入出力ポートの構成
- ・【演習】バッファ回路の動作確認

図 3 に第 2 章の解説画面を示した。内容は VHDL の文法の基礎的な部分に絞り、例題を用いて実際に動作を確認しながら学習できるよう心がけた。

図 4 に Xilinx 社の CPLD 開発ツール WebPACK の使用法を解説するハイビジョンクリップを示した。映像はハイビジョンビデオカメラ（ソニー製 HDR-HC1）で撮影して、ビデオキャプチャ（ソニー製 DVgate Plus2.1）で AVI 形式ファイルを作成して、エンコーダソフト（ペガシス製 TMPGEnc4.0XPress）を用いて Windows Media Player で再生可能な WMV 形式ファイルを作成した。ビットレートが 1 Mbps、500 kbps、300 kbps のファイルを用意して、ネットワーク環境に合わせて動画を閲覧できるようにした。

実習ボードはソリトンウェブ社製 HDL-10 を使用することとした。コンテンツでは、同ボードに搭載されている Xilinx 社製 CPLD の XC2C256-7 のピン配置についても解説した。

3.3 基本論理回路を作ってみよう

第 3 章では、基本ゲート回路と組み合わせ回路について解説している。第 3 章は以下の項目で構成されている。

- ・ NOT 回路
- ・ AND 回路
- ・ OR 回路
- ・ NAND 回路
- ・ NOR 回路
- ・ ExOR 回路
- ・ 複雑な論理式の記述方法
- ・ 演習問題の解答

図 5 に第 3 章の解説画面を示した。開発ツールの操作を覚えて間もない演習となるため、動作確認の方法も合わせて掲載した。

3.4 外部入出力回路を活用しよう

第 4 章では、実習ボードの外部入出力ポートを活用するために必要な回路について解説している。第 4 章は以下の項目で構成されている。

- ・ エンコーダ回路
- ・ デコーダ回路
- ・ 7セグメント表示回路
- ・ 演習 7セグメント表示回路の設計

図 6 に第 4 章の解説画面を示した。構成する

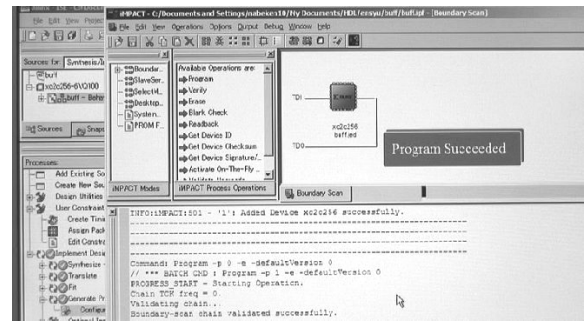


図 4 ハイビジョンクリップ (WebPACK の使用法)

第3章 基本論理回路を作ってみよう

3.1 NOT回路

NOT(ノット)回路は、入力されている信号の出力を反転させる回路です。実際にNOT回路を設計してみましょう。設計する回路は図3.1のとおりです。ここで、入力aを、出力をaとすると、NOT回路の動作を表す真理値表は表3.1のようになります。ちよと信号を反転させている回路になっています。

表3.1 NOT回路の真理値表

A	F
0	1
1	0

【プログラムの作成と確認方法】

- WebPACKを用いて、次の条件で新しいプロジェクトを作成します。
 注意:プロジェクト名をnot1としない場合は、プログラム中で関数とみなされて動作しない場合がありますので、関数の名前以外の名前とすることを勧めます。
- プログラムを作成します。使用する関数if not1です。論理式は、図3.1においてsw=A, led=Fとすると以下のとおりとなります。

$$led = \overline{sw}$$

ヒント: notの使い方はC言語と同様ですが、notの前後に半角スペースを入れる必要があります。WebPACKの画面で、関数の単数が赤字で表示されているときは、その単数は関数と認識されています。

図 5 第 3 章の解説画面 (NOT 回路の解説)

第4章 外部入出力回路の活用

4.1 エンコーダ回路

エンコーダ回路 (encoder circuit)は、ある信号が入力されたときに、コンピュータなどで処理するために必要な符号を生成する回路で、符号化に使われています。

図4.1に示す回路は、10進数を桁の2進数に変換するBCD(Binary Coded Decima)エンコーダ回路です。この回路はOR回路で構成されており、回路図右側が10進数に対応する入力信号、右側は4桁の2進数が得られる出力信号で、下側が下位(数字が小さい方)となっています。

図4.1 BCDエンコーダ回路と真理値表との対応

10進数	2 ³	2 ²	2 ¹	2 ⁰
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1

BCDエンコーダ回路を設計する際、まず10進数を4桁の2進数に変換する真理値表(truth table)を作成します。次に、2進数の信号を4桁分得たための回路を考えます。例えば、2進数の3桁目の信号(10進数で4)は、真理値表より10進数の4、5、6、7の何れかが入力された場合に得られるので、図4.1のように4入力OR回路を用いて出力を得ます。他の桁(2進数の4、2、1桁目)についても同様の手法で、OR回路を用いて作成します。

図 6 第 4 章の解説画面 (エンコーダ回路の解説)

回路が複雑化するため、回路図はカラーで信号の流れや変化をわかりやすく作成した。

3.5 実用的な回路を作ってみよう

第5章では、カウンタとタイマ回路について解説している。第5章は以下の項目で構成されている。

- n進カウンタ
- 60進カウンタ回路の設計
- タイマ回路
- 演習問題

図7に第5章の解説画面を示した。大きめの図を用いて桁上げなどの動作を表現した。



図7 第5章の解説画面 (n進カウンタの解説)

3.6 オリジナル IC 作りに挑戦

第6章では、今まで学んだ知識を用いて、受講者が創造作品を作成する手順などを解説している。第6章は以下の項目で構成されている。

- アイディアの立案方法
- 開発の進め方

図8に第6章の解説画面を示した。テーマの設定方法から詳細設計、創造作品の評価、発表会に至るまでの概要について記述した。グループプロジェクトを想定して、製作工程表および製作分担表の様式をダウンロードできるようにした。



図8 第6章の解説画面 (開発の進め方)

4. コンテンツの今後の展開

平成19年度は長野高専では学生実験や一部の講義で利用を予定している。高知高専では、4年次の開講科目「電気工学セミナー」で3名の学生が本コースを受講しているが、コンテンツの内容に関する評価は今後の課題である。

開発したコンテンツの今後の展開としては、受講した学生の評価結果を参考にして、コンテンツを修正、追加などを行っていく予定である。現在予定しているコンテンツの改善事項は以下の通りである。

- (1) ハイビジョンクリップの充実
- (2) フリップフロップ、チャタリング防止回路、算術演算回路など応用的な論理回路の解説の追加
- (3) 参考として、Verilog HDL によるプログラムの解答例の追加
- (4) 汎用性の高い CPLD ボードの開発と、これを用いた実習方法の解説の追加

5. あとがき

本論文では、平成17年度現代的教育ニーズ支援取組プログラム（現代 GP）の取組課題「創造性豊かな実践的技術者育成コースの開発」の一環として平成18年度に開発した「集積回路 (IC) 設計入門コース」の内容について述べた。ハードウェア記述言語 VHDL を自学自習で学べるよう、ハイビジョンクリップも活用してコンテンツを作成した。今後、コンテンツの内容を充実させて行く予定である。

参考文献

- [1] 高専 IT 教育コンソーシアムホームページ
<http://gp.kosen-it.jp/>
- [2] インターネット高専スクールホームページ
<http://kosen-e.jp/>